

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-26771

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1343

識別記号

5 0 0

庁内整理番号

F I

G 0 2 F 1/136
1/1343

技術表示箇所

5 0 0

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-181807

(22) 出願日 平成8年(1996) 7月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 桜井 洋

東京都港区芝五丁目7番1号 日本電気株式会社内

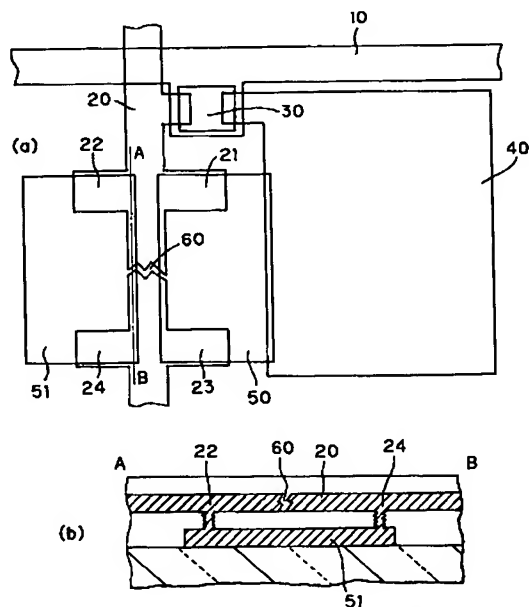
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 液晶表示パネルおよびその補修方法

(57) 【要約】

【目的】 ドレインバスラインに断線が発生したときに断線部にバイパス線が形成できるようにして、線欠陥の発生を防止して歩留りを向上させる。

【構成】 ガラス基板上にゲートバスライン10と遮光パターン50、51を形成しその上にゲート絶縁膜(層間絶縁膜)を介して半導体膜30を形成する。その上にドレインバスライン20と透明画素電極40を形成する。バスライン20には、遮光パターン50、51と重なり合うように突起部21~24を形成しておく。断線60が発生した場合は、レーザ光の照射により、突起部21~24において、バスライン20と遮光パターン50、51を短絡させ、バイパス線を形成する。



10…ゲートバスライン
20…ドレインバスライン
21~24…突起部
30…半導体膜

40…透明画素電極
50, 51…遮光パターン
60…断線

【特許請求の範囲】

【請求項 1】 互いに平行に形成された複数のゲートバスラインと、層間絶縁膜を介して前記ゲートバスラインと直交して形成された複数のドレインバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部分に形成された、ゲートが前記ゲートバスラインに、ドレインが前記ドレインバスラインに接続された複数の薄膜トランジスタと、前記ゲートバスラインと前記ドレインバスラインとによって囲まれた領域内に形成された、一端が前記薄膜トランジスタのソースに接続された透明画素電極と、前記ゲートバスラインと同時に形成された、前記ドレインバスラインと前記透明画素電極との間の隙間を埋めるパターンを有する遮光性導電膜と、を有する薄膜トランジスタ基板を用いて形成された液晶表示パネルにおいて、前記遮光性導電膜と前記ドレインバスラインとは少なくとも 2 箇所において電氣的に短絡させることができるように重なり部分を有していることを特徴とする液晶表示パネル。

【請求項 2】 前記ドレインバスラインには前記遮光性導電膜上に延びる突起部が形成されていることを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 3】 前記ドレインバスラインを挟んで形成された二つの遮光性導電膜が前記ドレインバスライン下において接続されていることを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 4】 互いに平行に形成された複数のゲートバスラインと、層間絶縁膜を介して前記ゲートバスラインと直交して形成された複数のドレインバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部分に形成された、ゲートが前記ゲートバスラインに、ドレインが前記ドレインバスラインに接続された複数の薄膜トランジスタと、前記ゲートバスラインと前記ドレインバスラインとによって囲まれた領域内に形成された、一端が前記薄膜トランジスタのソースに接続された透明画素電極と、前記ゲートバスラインと同時に形成された、前記ドレインバスラインと前記透明画素電極との間の隙間を埋めるパターンを有する遮光性導電膜と、を有する薄膜トランジスタ基板を用いて形成された液晶表示パネルの補修方法であって、前記遮光性導電膜と前記ドレインバスラインとの間に少なくとも 2 箇所にも重なり部分を設けておき、前記ドレインバスラインに断線が生じた場合には、前記重なり部分にレーザ光を照射して前記遮光性導電膜と前記ドレインバスラインとを電氣的に短絡してドレインバスラインの断線部に前記遮光性導電膜によるバイパス路を形成することを特徴とする液晶表示パネルの補修方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、液晶表示パネルおよびその補修方法に関し、特にアクティブマトリクス方

式液晶表示パネルの薄膜トランジスタ基板の配線に発生する断線を修正するのに有利な構造とその補修方法に関するものである。

【0002】

【従来の技術】 従来の薄膜トランジスタ基板の製造方法を図 3 を参照して説明する。まず、ガラス基板上に、第 1 のバスラインを形成するための金属、例えば Cr、Mo、Al 又はそれらの合金等をスパッタ法により数 100 nm の厚さに成膜する。その上にフォトレジスト材をスピン塗布し、あらかじめマスク上に形成されたパターンを露光転写した後、アルカリ性の水溶液により現像し、金属膜上にフォトレジスト膜を形成する。次いで、このフォトレジスト膜をマスクとして成膜された金属膜をエッチングしてゲートバスライン 10 を形成し、フォトレジスト膜を剥離する〔図 3 (a)〕。

【0003】 このとき、この後に形成されるドレインバスラインと平行のパターンで、このドレインバスラインのエッジ部分と重なり、かつ、この後に形成される透明画素電極のエッジ部分と重なるように、配線パターンとは独立した遮光パターン 50、51 を形成する構造が一般的に用いられている。薄膜トランジスタ基板側に遮光パターンを形成することが開口率向上のために有利であるからである。

【0004】 次に、CVD 法によりゲート絶縁膜となる絶縁膜を数 100 nm の厚さに堆積し、続いてアモルファスシリコン膜を数 100 nm の厚さに堆積した後、アモルファスシリコン膜を島状に加工して半導体膜 30 を形成する〔図 3 (b)〕。次に、ゲートバスライン 10 を形成した場合と同様の手法を用いて、膜厚数 100 nm のドレインバスライン 20 を形成する〔図 3

(c)〕。その後、スパッタ法により ITO (indium tin oxide) などの透明導電材料を数 10 nm の膜厚に堆積し、これをフォトリソグラフィ法によりパターンニングして透明画素電極 40 を形成する〔図 3 (d)〕。このようにして形成された薄膜トランジスタ基板 (TFT 基板) は、その後カラーフィルタ基板と狭い隙間を隔てて貼り合わされ、その隙間内に液晶が注入されて、液晶表示パネルに組み立てられる。

【0005】 ところで、液晶表示装置の製造にあたり、最も改善が望まれる課題は歩留の向上である。特に、断線不良は不良発生個所以降が表示不能となる線欠陥に直結しており 1 箇所でも発生すればパネル全体が不良となるため、断線不良率の低減は歩留り向上を図る上で重要な課題であり、これまでもいろいろな方法が提案されてきた。例えば、特開平 5-19294 号公報には、透明画素電極をドレインバスラインの断線部のバイパス線として利用することが提案されている。

【0006】 図 4 は、同公報により提案された薄膜トランジスタ基板の平面図である。この方法によれば、ゲートバスライン 10 を形成する際に、ゲートバス支線 11

を形成するとともに透明画素電極40に一部重なるように第1導電体片12を形成しておく。また、ドレインバスライン20を形成する際に、これに連なるドレイン端子26、突起部25を形成するとともに第1の導電体片12に重なる第2の導電体片27を形成する。また、薄膜トランジスタと透明画素電極40との間を接続するソース端子28も同時に形成しておく。

【0007】ドレインバスライン20に、断線60が発生した場合、バスライン20の突起部25と第1導電体片12との重なり部分70、第2導電体片27と第1導電体片12と透明画素電極40との重なり部分71、ドレイン端子26とゲートバス支線11との重なり部分72、ソース端子28とゲートバス支線11との重なり部分73にレーザ光を照射してそれぞれの重なり部分を短絡させるとともに、ゲートバス支線11の領域74をレーザ光照射により切断する。これにより、バスライン20は、突起部25、第1、第2導電体片12、27を介して透明画素電極40に接続されるとともに、ドレイン端子26、ゲートバス支線11およびソース端子28を介して透明画素電極40に接続される。よって、バスライン20の断線60は透明画素電極40によりバイパスされることになる。しかしこの方法では、バイパス線に用いられた画素電極40に断線したバスライン20から電流が流れこむため、この画素電極40部分が点欠陥となることは避けられず、断線補修方法として万全でない。

【0008】また、特開平5-5896号公報には、ドレインバスラインのパターニング時に、ドレインバスラインの近傍のゲートバスラインを跨ぐ部分にこのドレインバスラインに平行した同層の冗長構造を作り込み、断線発生時に、レーザ光照射により、この冗長構造との接続用端子をショートさせ、電流をバイパスさせることにより線欠陥を回避する方法が提案されている。しかし、この補修方法は、ゲートバスライン付近の断線のみにはしか対応できないという欠点があるほか、ドレインバスラインに断線が発生した場合にはその配線と同層かつ近傍に存在する冗長構造も同じ原因により断線となる可能性が高いため、補修方法として万全とは言えない。またこの冗長構造は、開口率の低下を伴うため、表示特性上は好ましくない。

【0009】さらに別の例として、特開平4-283725号公報には、互いに絶縁して交差するように設けられた第1、第2のバスラインの少なくとも一方を作り込む際に、他方のバスラインと完全に重なる位置に、冗長構造を作り込み、断線発生時には、レーザ光照射により断線部の両サイドと冗長構造をショートさせ、線欠陥を回避する方法が提案されている。しかし、この方法では、ゲートバスラインと同層の金属層によって遮光膜を形成することができないため、開口率が低下する。

【0010】すなわち、この方法のように、薄膜トラン

ジスタ基板作製時に画素電極エッジ部分に遮光パターンを設けることをしない場合、カラーフィルタ基板側に設けられる遮光膜（ブラックマトリックス）を、薄膜トランジスタ基板とカラーフィルタ基板との重ね合わせ精度を考慮して、大きなマージンをもって形成しなければならないため、その分開口率が低下することになるのである。

【0011】

【発明が解決しようとする課題】上述した従来の断線不良の補修方法はそれぞれ以下の問題点を持っている。すなわち、特開平5-19294号公報に記載された方法のように、画素電極を補修用バイパス線として用いる場合には、ライン欠陥の補修が点欠陥を作ることにつながり、補修方法として万全ではない。また、特開平5-5896号公報に記載された方法のように、配線パターンと同層に、その近傍に専用の補修用冗長構造を設ける場合には、本来の配線パターンに欠陥が生じる場合、冗長構造も同じ原因で不良となるケースが可能性が高く、さらに断線の補修可能領域がゲートバスとの交差部に限定されているため、補修率が低くなるという欠点がある。

【0012】また、特開平4-283725号公報に記載された方法のように、冗長構造をバスラインと別層に同一パターンに形成する場合には、薄膜トランジスタ基板側に画素電極周辺を覆う遮光膜を形成することができないため、開口率の低下を招くという欠点があった。

【0013】したがって、本発明の解決すべき課題は、工数の増加や開口率の低下などによる表示特性の劣化を伴うことなく断線不良に対して有効な補修方法を持つ構造を提供できるようにすることである。

【0014】

【課題を解決するための手段】上述した本発明の課題は、ドレインバスラインと透明画素電極との間を埋めるように形成された、ゲートバスラインと同層の遮光膜を断線部のバイパス線として利用することにより、解決することができる。

【0015】

【発明の実施の形態】本発明による液晶表示パネルは、互いに平行に形成された複数のゲートバスラインと、層間絶縁膜を介して前記ゲートバスラインと直交して形成された複数のドレインバスラインと、前記ゲートバスラインと前記ドレインバスラインとの交差部分に形成された、ゲートが前記ゲートバスラインに、ドレインが前記ドレインバスラインに接続された複数の薄膜トランジスタと、前記ゲートバスラインと前記ドレインバスラインとによって囲まれた領域内に形成された、一端が前記薄膜トランジスタのソースに接続された透明画素電極と、前記ゲートバスラインと同時に形成された、前記ドレインバスラインと前記透明画素電極との間の隙間を埋めるパターンを有する遮光性導電膜と、を有する薄膜トランジスタ基板を用いて形成された液晶表示パネルであつ

て、前記遮光性導電膜と前記ドレインバスラインとは少なくとも2箇所において電氣的に短絡させることができるように重なり部分を有していることを特徴としている。上記の重なり部を形成するために、ドレインバスラインまたは遮光性導電膜の何れか一方に突起部を設けることができる。

【0016】〔作用〕液晶表示パネルの組立が完了した後、ドレインバスラインに断線が確認された場合、この断線部分を平行して配置された遮光性導電膜とドレインバスラインとの重なり部にレーザ光を照射し、この重なり部を短絡させることにより、断線部を遮光性導電膜によってバイパスすることができる。この遮光性導電膜はゲートバスラインと同時に形成される膜であり、また重なり部も単にマスクパターンの変更のみによって形成が可能であるため、本発明の実施によって工数が増加することはない。また、本発明においてバイパス線形成のために利用する遮光性導電膜はもとより遮光膜として存在していたものであるために遮光面積の増加はなく、そしてこの遮光膜によって画素電極の周辺部が遮蔽されるため、開口率を高く維持することができる。

【0017】

【実施例】次に、本発明の実施例について図面を参照して説明する。

〔第1の実施例〕図1(a)は、本発明の第1の実施例の薄膜トランジスタ基板の状態を示す平面図であり、図1(b)は、図1(a)のA-B線に沿った断面での補修後の状態を示す断面図である。この薄膜トランジスタ基板では、ガラス基板上にクロムからなる約100nmのゲートバスライン10と遮光パターン50、51が形成され、その上をSiO_xからなる膜厚約200nmのゲート絶縁膜を兼ねる層間絶縁膜が一様に覆っている。ゲートバスライン10から分岐したゲート電極上には、この層間絶縁膜を介して膜厚約400nmのアモルファスシリコンよりなる半導体膜30が形成されており、さらにその上には厚さ約100nmのクロムよりなるドレインバスライン20と、膜厚約50nmのITOよりなる透明画素電極40が形成されている。ドレインバスライン20は、遮光パターン50、51と重なるように設けられた突起部21、22、23、24を持っている。

【0018】このように構成された薄膜トランジスタ基板は、カラーフィルタ基板と貼り合わされて液晶表示パネルに組み立てられる。そして、適当な表示パターンの表示により、表示機能のテストが行われる。バスライン20に断線60が確認された場合、バスライン20に設けられた突起部21、22、23、24にレーザ光の照射を行い、バスライン20と遮光パターン50、51とを融解接続させる。これにより、遮光パターン50、51を断線部60のバイパス線として用いることができ、線欠陥不良を解消することができる。ここで、遮光パタ

ーン50、51は本来開口率向上を目的として設けた膜であるので、断線不良の解消手段を設けたことに伴う開口率低下は起こらない。また、透明画素電極40をバイパス線として用いることもないので点欠陥不良が発生することもない。さらに、遮光パターン50、51は、ゲートバスライン10を形成する際に同時に形成されるので、工数増加に伴う製造コスト増も発生しない。

【0019】また、遮光パターン50、51は、その目的上透明画素電極40と重なり合う部分を持つことを避けることができず、あらかじめバスライン20と遮光パターン50、51が導通している場合には遮光パターン50、51と透明画素電極40間に不必要な電気容量を生じ、表示特性を損なうので好ましくない。しかし本発明の構造によれば、断線発生後、レーザ光照射により導通を行うので表示特性の劣化は必要最小限に抑えることができる。この構造および方法によれば、バスライン20に設けられた突起部21、22と23、24の間に発生した断線については完全に補修することができ、結果として液晶表示装置の線欠陥不良発生率を50%以上減少させることができる。なお、第1の実施例では、バスライン20の突起部を遮光パターン50、51の両方に形成していたが、遮光パターン50側のみ、あるいは遮光パターン51側のみに設けるようにしてもよい。

【0020】〔第2の実施例〕次に、図2を参照して本発明の第2の実施例について説明する。図2において、図1に示した第1の実施例の部分と同等の部分には同一の参照番号が付けられている重複した説明は省略する。本実施例においては、ドレインバスライン20が突起部を持たない代わりに、遮光パターン50、51側のドレインバスライン20と重なり合う部分に突起部52、53が形成されている。バスライン20に断線60が発生した場合、突起部52、53にレーザ光を照射し、遮光パターン50、51とドレインバスライン20を融解接続させ、遮光パターン50、51を断線60のバイパス線として用いる。これにより線欠陥を解消することができる。本実施例においても、上述した第1の実施例と同様の効果を楽しむことができる。なお、以上の実施例では、ソース端子を形成することなく画素電極を直接半導体膜に接続する例を示したが、図4に示すように、ソース端子を形成するようにしてもよい。

【0021】

【発明の効果】本発明による液晶表示パネルは、ゲートバスラインと同時に形成される遮光パターンと、ドレインバスラインとの間に重なり部を設けたものであるので、製造工数の増加を招くことなく、また開口率の低下などの表示品質の低下を伴うことなく、断線発生時にバイパス線を形成することができる。従って、本発明によれば、良好な表示品質を維持しつつ、液晶表示パネルの製造歩留りを向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例の平面図と断面図。

【図 2】 本発明の第 2 の実施例の平面図。

【図 3】 従来例の製造方法を説明するための工程順の平面図。

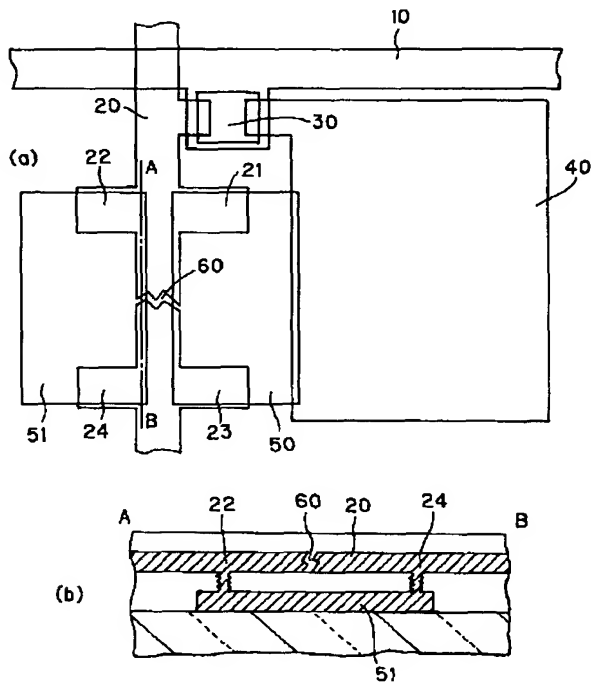
【図 4】 他の従来例の平面図。

【符号の説明】

10 ゲートバスライン
11 ゲートバス支線
12 第 1 導電体片
20 ドレインバスライン
21～25 突起部

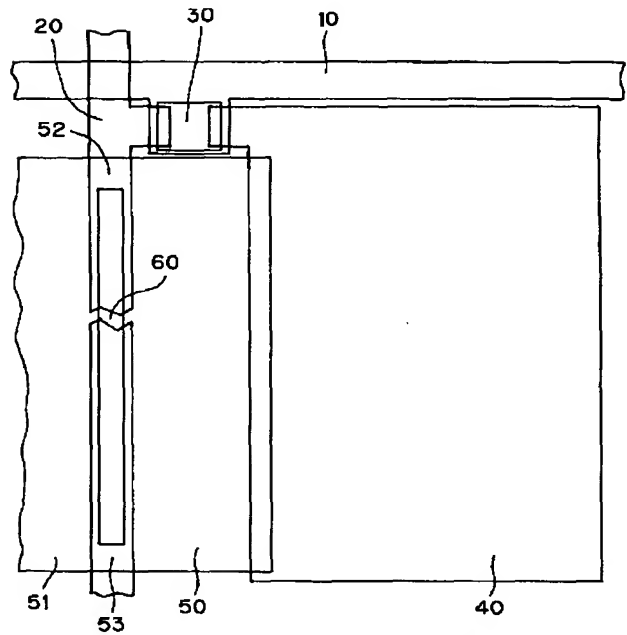
26 ドレイン端子
27 第 2 導電体片
28 ソース端子
30 半導体膜
40 透明画素電極
50、51 遮光パターン
52、53 突起部
60 断線
70～73 レーザ照射される重なり部分
74 レーザ照射される領域

【図 1】



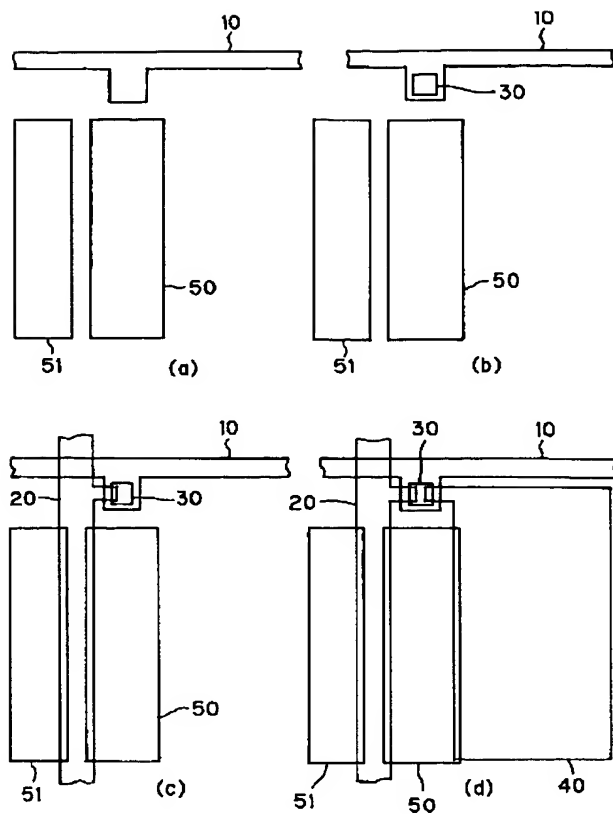
10…ゲートバスライン
20…ドレインバスライン
21～24…突起部
30…半導体膜
40…透明画素電極
50、51…遮光パターン
60…断線

【図 2】



52、53…突起部

【図3】



【図4】

